

PAT-NO: JP405021795A
DOCUMENT-IDENTIFIER: JP 05021795 A
TITLE: FABRICATION OF THIN-FILM TRANSISTOR
PUBN-DATE: January 29, 1993

INVENTOR-INFORMATION:
NAME
SUZUKI, NORIYUKI

ASSIGNEE-INFORMATION:
NAME FUJITSU LTD COUNTRY
N/A

APPL-NO: JP03168562
APPL-DATE: July 10, 1991

INT-CL (IPC): H01L029/784, H01L027/11
US-CL-CURRENT: 257/347, 257/904

ABSTRACT:

PURPOSE: To effect automatic alignment by using one mask which serves as both a mask for ion implantation and a mask for a second gate formation.

CONSTITUTION: A resist is applied over a second conductive film 12. This film is then patterned to form a resist mask 13 for forming a second gate electrode. The resist mask 13 is patterned in a shape matched with a first gate electrode 8. Using the resist mask 13 as a mask, ions are implanted into an operating semiconductor layer 10 through a second conductive film 12 and a

second gate dielectric film 11. The region below the mask 13 turns to a channel, and regions on both sides of the channel become a source region and a drain region, respectively. Using the resist mask 13 as a mask, the second conductive film 12 is etched to form a second gate electrode 14. Automatic alignment can be achieved by using the same mask 13 in the formation of both the channel and the second gate electrode.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-21795

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 29/784

27/11

9056-4M

H 0 1 L 29/ 78

3 1 1 G

8728-4M

27/ 10

3 8 1

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平3-168562

(22)出願日 平成3年(1991)7月10日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 鈴木 範之

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

(54)【発明の名称】 薄膜トランジスタの製造方法

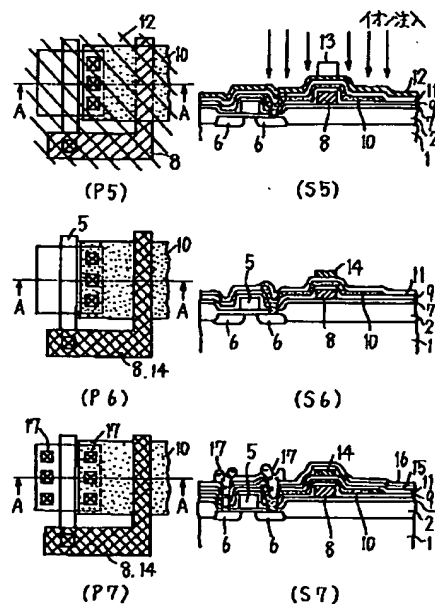
(57)【要約】

【目的】 薄膜トランジスタの製造方法に関し、二つのゲート電極とチャネルとの位置合わせと、ソース・ドレインのイオン注入を精度よく行う方法の提供を目的とする。

【構成】 表面が絶縁物7である基体に第1の導電膜を形成し、それをパターニングして第1のゲート電極8を形成しその上に第1のゲート絶縁膜9を形成する工程と、第1のゲート絶縁膜9上に第1のゲート電極8上から両側に展延する動作半導体層10を形成する工程と、動作半導体層10上に第2のゲート絶縁膜11及び第2の導電膜12をこの順に形成する工程と、第2の導電膜12上に第1のゲート電極8と重なるマスク13を形成する工程と、マスク13をマスクにして第2の導電膜12及び第2のゲート絶縁膜11を通して動作半導体層10にイオン注入を行った後、マスク13をマスクにして第2の導電膜12をエッチングし、第2のゲート電極14を形成する工程を有するように構成する。

実施例を示す工程順平面図と断面図

(402)



【特許請求の範囲】

【請求項1】 第1のゲート電極(8)と第1のゲート絶縁膜(9)と動作半導体層(10)と第2のゲート絶縁膜(11)と第2のゲート電極(14)がこの順に積層された構造を有する薄膜トランジスタの製造方法であって、表面が絶縁物(7)である基体に第1の導電膜を形成し、それをパターニングして第1のゲート電極(8)を形成する工程と、
 該第1のゲート電極(8)上に第1のゲート絶縁膜(9)を形成する工程と、
 該第1のゲート絶縁膜(9)上に該第1のゲート電極(8)上から両側に展延する動作半導体層(10)を形成する工程と、
 該動作半導体層(10)上に第2のゲート絶縁膜(11)及び第2の導電膜(12)をこの順に形成する工程と、
 該第2の導電膜(12)上に該第1のゲート電極(8)と重なるマスク(13)を形成する工程と、
 該マスク(13)をマスクにして該第2の導電膜(12)及び該第2のゲート絶縁膜(11)を通して該動作半導体層(10)にイオン注入を行った後、該マスク(13)をマスクにして該第2の導電膜(12)をエッチングし、第2のゲート電極(14)を形成する工程を有することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は薄膜トランジスタの製造方法に係り、特に動作半導体層を挟む2つのゲート電極を有する薄膜トランジスタの製造方法に関する。

【0002】抵抗負荷インバータ回路の配列されたSRAMは、広く使用されている。図4は抵抗負荷インバータ回路を含むSRAMセルの回路図で、Rは負荷抵抗、 T_1 は駆動トランジスタ、 T_2 は転送トランジスタを表す。

【0003】近年のLSIの高集積化に伴い、低消費電力化のための低電圧動作及びセルの安定動作に対する要求から、抵抗負荷に替えてTFT(薄膜トランジスタ)負荷を導入することが検討されている。

【0004】図5はTFT負荷インバータ回路を含むSRAMセルの回路図で、2つのゲート電極を有するTFTは模式的に示している。TFTは低電圧駆動で大電流をとるために動作半導体層を挟んで2つのゲート電極を配置した構造とする。

【0005】

【従来の技術】TFT負荷インバータ回路を含むSRAMセルを製造する従来例について、2つのゲート電極を有するTFTの形成を主として説明する。インバータ回路は対称であるから、1個のTFTと1個の駆動トランジスタ T_1 を含む半分(図5の点線で囲まれた部分)の形成の概略を説明する。

【0006】図3(a)～(e)は従来例を示す工程順断面

図であり、以下これらの図を参照しながら説明する。

図3(a) 参照

Si基板1にLOCOS法により素子分離領域2を形成する。素子領域に一般的な方法により、駆動トランジスタを形成する。図中、4はゲート絶縁膜、5はゲート電極、6はソース・ドレインを表す。

【0007】ゲート電極5を層間分離するため、 SiO_2 膜7を成長する。 SiO_2 膜7にゲート電極5とコンタクトする窓(図示せず)を開口した後、全面にポリSi膜を成長し、それをパターニングしてTFTの第1のゲート電極8を形成する。

【0008】図3(b) 参照

全面に第1のゲート絶縁膜として SiO_2 膜9を成長する。 SiO_2 膜9に駆動トランジスタのノードとコンタクトする窓を開口した後、全面にTFTのチャネルとなるアモルファスSi膜を成長し、それをパターニングしてTFTの動作半導体層10を形成する。

【0009】次に、動作半導体層10を覆うレジストを塗布し、それをパターニングしてチャネル部を覆うレジストマスク13aを形成する。レジストマスク13aは第1のゲート電極8と重なる形状にパターニングする。レジストマスク13aをマスクにして、動作半導体層10にイオン注入を行い、チャネルの両側のソース・ドレインを形成する。

【0010】図3(c) 参照

レジストマスク13aを除去した後、全面に第2のゲート絶縁膜となる SiO_2 膜11を成長する。 SiO_2 膜11に駆動トランジスタのゲート電極5とコンタクトする窓(図示せず)を開口した後、全面に第2の導電膜12として、ポリSi膜12を成長する。

【0011】第2の導電膜12上にレジストを塗布し、それをパターニングして第2のゲート電極を形成するためのレジストマスク13bを形成する。レジストマスク13bは第1のゲート電極8と重なる形状にパターニングする。

【0012】図3(d) 参照

レジストマスク13bをマスクにして第2の導電膜12をエッチングし、第2のゲート電極14を形成する。

【0013】図3(e) 参照

全面に絶縁膜15として SiO_2 膜15、絶縁膜16としてPSG膜16を順次成長する。駆動トランジスタのソース・ドレイン領域に電極取り出し用の窓を開口し、Al配線してソース・ドレイン電極17を形成する。

【0014】ところで、この従来法には次のような問題がある。①レジストマスク13aをマスクにして、動作半導体層10にイオン注入を行う時、動作半導体層10が薄いため、イオンが下地に突き抜けてしまい、動作半導体層10に注入されにくい。加速エネルギーを下げて動作半導体層10内でとどめようとしても制御が難しく、注入電流を多くとれないため長時間を要する。

【0015】②イオン注入後レジストマスク13aを剥離するため、つぎに第2のゲート電極14を形成するためのレジストマスク13bを形成する時、イオン注入領域の確認が困難となり、位置合わせの精度が上がらない。

【0016】

【発明が解決しようとする課題】本発明は、上記の問題に鑑み、注入イオンが動作半導体層10を突き抜けるのを抑制して精度よく動作半導体層10にイオン注入し、同時にチャネル部と第2のゲート電極の位置あわせが簡単で、しかも精度のよい方法を提供することを目的とする。

【0017】

【課題を解決するための手段】図1(P1)～(P4)、(S1)～(S4)及び図2(P5)～(P7)、(S5)～(S7)は、実施例を示す工程順平面図と断面図(その1)及び(その2)である。

【0018】上記課題は、第1のゲート電極8と第1のゲート絶縁膜9と動作半導体層10と第2のゲート絶縁膜11と第2のゲート電極14がこの順に積層された構造を有する薄膜トランジスタの製造方法であって、表面が絶縁物7である基体に第1の導電膜を形成し、それをパターニングして第1のゲート電極8を形成する工程と、該第1のゲート電極8上に第1のゲート絶縁膜9を形成する工程と、該第1のゲート絶縁膜9上に該第1のゲート電極8上から両側に展延する動作半導体層10を形成する工程と、該動作半導体層10上に第2のゲート絶縁膜11及び第2の導電膜12をこの順に形成する工程と、該第2の導電膜12上に該第1のゲート電極8と重なるマスク13を形成する工程と、該マスク13をマスクにして該第2の導電膜12及び該第2のゲート絶縁膜11を通して該動作半導体層10にイオン注入を行った後、該マスク13をマスクにして該第2の導電膜12をエッチングし、第2のゲート電極14を形成する工程を有する薄膜トランジスタの製造方法によって解決される。

【0019】

【作用】本発明によれば、動作半導体層10へのイオン注入は第2の導電膜12及び第2のゲート絶縁膜11を通して行うので、たとえ動作半導体層10が薄くともイオン注入条件の設定が容易となり、精度のよい注入を行うことができる。

【0020】イオン注入のためのマスクと第2のゲート電極形成のためのマスクを共用するから、位置合わせが自動的に行われ、第2のゲート電極をチャネルに対して精度よく形成することができる。

【0021】

【実施例】図1(P1)～(P4)、(S1)～(S4)及び図2(P5)～(P7)、(S5)～(S7)は、図5の点線で囲まれた部分を形成する実施例を示す工程順平面図と断面図(その1)及び(その2)であり、以下、これらの図を参照しながら説明する。

【0022】P1～P7は平面図であり、S1～S7はA-A断面図である。

図1(P1)、(S1)参照

Si基板1にLOCOS法により素子領域3を区画する厚さ5000Åの素子分離領域2を形成する。素子領域3に厚さ200Åのゲート絶縁膜4を形成する。

【0023】図1(P2)、(S2)参照

一般的な方法により、素子領域3にインバート用の駆動トランジスタを形成する。図中、5はゲート電極、6はソース・ドレインを表す。

【0024】図1(P3)、(S3)参照

ゲート電極5と層間分離するため、CVD法により厚さ1000ÅのSiO₂膜7を成長する。SiO₂膜7にゲート電極5とコンタクトする窓を開いた後、全面にCVD法により第1の導電膜4として厚さ500ÅのポリSi膜を成長し、それをパターニングしてTFTの第1のゲート電極8を形成する。TFTの第1のゲート電極8は、駆動トランジスタのゲート電極5と接続する。

【0025】図1(P4)、(S4)参照

全面にCVD法により第1のゲート絶縁膜として厚さ300ÅのSiO₂膜9を成長する。SiO₂膜9に駆動トランジスタのノードとコンタクトする窓を開いた後、全面にCVD法によりTFTの動作層となる厚さ400ÅのアモルファスSi膜を成長し、それをパターニングして動作半導体層10を形成する。

【0026】図2(P5)、(S5)参照

全面にCVD法により第2のゲート絶縁膜として厚さ300ÅのSiO₂膜11を成長する。SiO₂膜11に駆動トランジスタのゲート電極5とコンタクトする窓を開いた後、全面にCVD法により第2の導電膜12として、厚さ500ÅのポリSi膜を成長する。

【0027】次に、第2の導電膜12上にレジストを塗布し、それをパターニングして第2のゲート電極を形成するためのレジストマスク13を形成する。レジストマスク13は第1のゲート電極8と重なる形状にパターニングする。

【0028】レジストマスク13をマスクにして、第2の導電膜12及び第2のゲート絶縁膜11を通して動作半導体層10にイオン注入を行う。注入条件は、例えば、イオン種BF⁺、加速エネルギー20keV、ドーズ量1×10¹⁴cm⁻²である。マスク13下はチャネルとなり、その両側はソース・ドレインとなる。

【0029】図2(P6)、(S6)参照

レジストマスク13をマスクにして第2の導電膜12をエッチングし、第2のゲート電極14を形成する。

【0030】図2(P7)、(S7)参照

全面にCVD法により絶縁膜15として厚さ500ÅのSiO₂膜15、絶縁膜16として厚さ4000ÅのPSG膜16を順次成長する。駆動トランジスタのソース・ドレイン領域に電極取り出し用の窓を開き、Al配線してソース・

5

ドレイン電極17を形成して工程を終る。

【0031】上記のようにして、TFTの動作半導体層10に精度よくイオン注入を行うことができる。チャネル部の形成と第2のゲート電極形成はマスク13を共用するので位置あわせが自動的に行われ、工程も短縮される。

【0032】なお、上記の例では動作半導体層10をアモルファスSi膜としたが、ポリSiや単結晶Siの半導体膜を使用できることは勿論である。

【0033】

【発明の効果】以上説明したように、本発明によれば、TFTの形成において注入イオンが動作半導体層10を突き抜けるのを抑制して精度よく動作半導体層10にイオン注入を行うことができる。チャネル部の形成と第2のゲート電極形成のためにマスク形成を2度行い、位置合わせを2度行う従来法に比べて工程が短縮され、しかも位置合わせが容易で精度も高い。

【0034】本発明は、二つのゲート電極を有する薄膜トランジスタの性能向上に寄与し、ひいてはTFT負荷を有するインバータ回路の性能向上、さらに、このようなインバータ回路の配列されたSRAMの性能向上に寄与する。

【図面の簡単な説明】

【図1】(P1)～(P4)、(S1)～(S4)は実施例を示す工程順平面図と断面図(その1)である。

【図2】(P5)～(P7)、(S5)～(S7)は実施例を示す工程順平面図と断面図(その2)である。

【図3】(a)～(e)は従来例を示す工程順断面図である。

6

【図4】抵抗負荷インバータ回路を含むSRAMセルの回路図である。

【図5】TFT負荷インバータ回路を含むSRAMセルの回路図である。

【符号の説明】

1は半導体基板であってSi基板

2は素子分離領域であってフィールド絶縁膜

3は素子領域

4はゲート絶縁膜

5はゲート電極であって駆動トランジスタのゲート電極

6はソース・ドレインであって駆動トランジスタのソース・ドレイン

7は絶縁膜であってSiO₂膜

8は第1のゲート電極

9は第1のゲート絶縁膜であってSiO₂膜

10は動作半導体層であってアモルファスSi膜

11は第2のゲート絶縁膜であってSiO₂膜

12は第2の導電膜であってポリSi膜

13, 13a, 13bはマスクであってレジストマスク

14は第2のゲート電極

15は絶縁膜であってSiO₂膜

16は絶縁膜であってPSG膜

17はソース・ドレイン電極

T₁は駆動トランジスタ

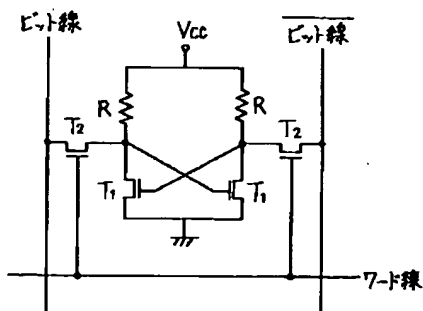
T₂は転送トランジスタ

Rは負荷抵抗

TFTは薄膜トランジスタ

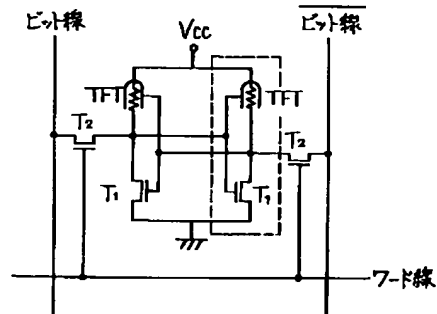
【図4】

抵抗負荷インバータ回路を含むSRAMセルの回路図



【図5】

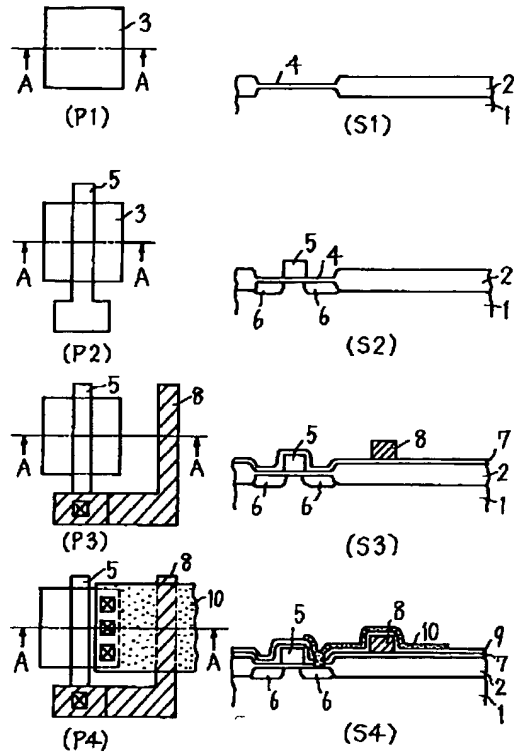
TFT負荷インバータ回路を含むSRAMセルの回路図



【図1】

実施例を示す工程順平面図と断面図

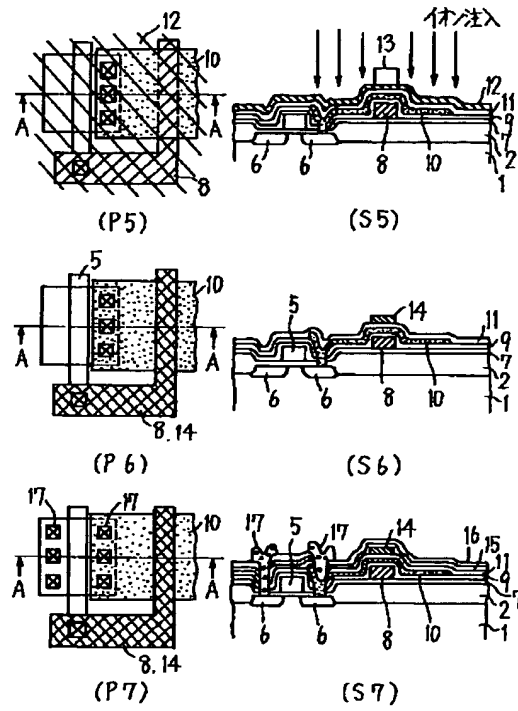
(401)



【図2】

実施例を示す工程順平面図と断面図

(402)



【図3】

従来例を示す工程断面図

